

Searching PAJ

Page 1 of 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181269

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

H01L 27/10

H01L 21/285

H01L 27/108

H01L 21/8242

(21)Application number : 07-338976

(71)Applicant : NEC CORP

(22)Date of filing : 26.12.1995

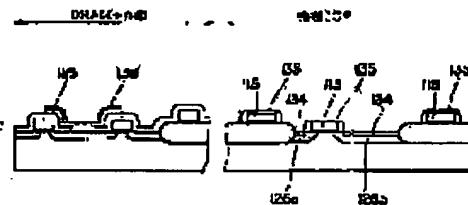
(72)Inventor : SAKAO MASATO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing process for mounting a logic IC containing a transistor which operates at a high speed and a DRAM which requires complicated high-temperature heat treatment on the same semiconductor chip for the manufacturing process of an inexpensive high-performance semiconductor device.

SOLUTION: In a method for manufacturing a semiconductor device, no high-temperature process is performed after salicide is formed in a logic IC section. In order to eliminate the need of high-temperature process after the formation of salicide, a bit line 123 in a DRAM cell section is formed of polycrystalline silicon in advance and Ti is deposited on the entire surface while the bit line 123 and the source area 126a, the drain area 126b, and the gate electrode 115 of the logic IC section are exposed, and then, the Ti is heat-treated. As a result, salicide 135 is formed on the source area 126a and the drain area 126b of the logic IC section and salicide 135 is formed on the gate electrode 115. At the same time, salicide 136 is formed on the bit line 123.



LEGAL STATUS

[Date of request for examination] 26.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2765544

[Date of registration] 03.04.1998

Searching PAJ

Page 2 of 2

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right] 03.04.2004

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-181269

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl*	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/10	4 8 1		H 01 L 27/10	4 8 1
21/285	8 0 1		21/285	8 0 1 T
27/108			27/10	6 8 1 F
21/8242				6 8 1 B

審査請求有 請求項の数7 OL (全5頁)

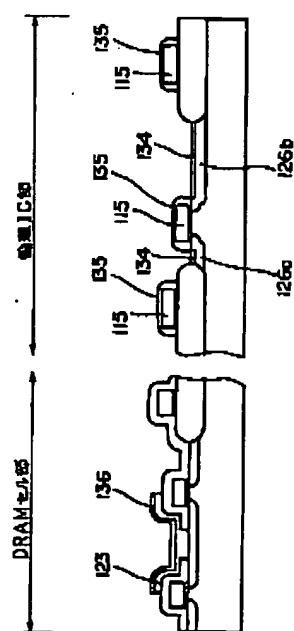
(21)出願番号 特願平7-338976	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成7年(1995)12月26日	(72)発明者 坂尾 健人 東京都港区芝五丁目7番1号 日本電気株式会社内
	(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】動作速度の速いトランジスタを有する論理ICとプロセスが複雑で高温での熱処理も必要とするDRAMとを同一の半導体チップの上に搭載するために、高性能で低コストなデバイスの製造プロセスを提供する。

【解決手段】論理IC部でのサリサイド生成以後に高温のプロセスを行わないようにする。このために、DRAMセル部のビット線123を多結晶シリコンで形成しておき、このビット線123と論理IC部のソース領域126a、ドレイン領域126b及びゲート電極115とが露出した状態で、全面にTiを堆積し、熱処理を行う。これによって、論理IC部のソース領域126a及びドレイン領域126b上にサリサイド124が形成され、ゲート電極115上にサリサイド135が形成されるると同時に、ビット線123上にもサリサイド136が形成される。



(2)

特開平9-181269

【特許請求の範囲】

【請求項1】 シリコンからなる同一の半導体基板上に第1のトランジスタ及びキャパシタを有するメモリセルからなるメモリセル部と第2のトランジスタを有する回路部とを備する半導体装置の製造方法において、前記半導体基板での前記メモリセル部の素子領域及び前記回路部の素子領域に、それぞれ、1対の不純物領域と、前記1対の不純物領域に挟まれたチャネル領域上にゲート絶縁膜を介して配置され第1の導電層からなるゲート電極とを設けて前記第1のトランジスタ及び前記第2のトランジスタを形成する第1の工程と、前記半導体基板の全面に第1の層間絶縁膜を堆積し、前記第1のトランジスタに対応する前記1対の不純物領域のうち一方の不純物領域上の前記第1の層間絶縁膜に第1のコンタクトホールを開口し、その後、全面にシリコン層を堆積し所定の形状にバーニングして前記メモリセルへのピット線を形成する第2の工程と、前記回路部において前記第1の層間絶縁膜をエッチングして、前記第2のトランジスタの前記ゲート電極の側壁に側壁絶縁膜を形成するとともに前記第2のトランジスタのゲート電極及び1対の不純物領域の上面を露出させる第3の工程と、前記第3の工程の実施後、全面に高融点金属を堆積して熱処理を行い、少なくとも前記ピット線及び前記第2のトランジスタの不純物領域の上面において前記高融点金属をシリサイド化する第4の工程と、前記シリサイド化を受けていない高融点金属を除去する第5の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の導電層がシリコンからなり、前記第4の工程において前記第2のトランジスタのゲート電極の上面においても前記高融点金属のシリサイド化が行われる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の導電層がシリコンと金属シリサイドとの2層構成であり、前記第1の工程において、前記第1の導電層を構成するシリコン及び金属シリサイドを前記半導体基板の全面に積層したのちバーニングを行うことによって、前記ゲート電極が形成される請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第3の工程が、前記メモリセル部をマスクし、その後、前記回路部において前記第1の層間絶縁膜をエッチングして、前記第2のトランジスタの前記ゲート電極の側壁に側壁絶縁膜を形成するとともに前記第2のトランジスタのゲート電極及び1対の不純物領域の上面を露出させ、さらに、全面に不純物をイオン注入し、不純物を拡散・活性化させるための熱処理を行う工程である、請求項1乃至3いずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記第1の工程と前記第2の工程の間に、全面に補助層間絶縁膜を堆積して前記補助層間絶縁

膜をエッチバックすることにより、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極の側壁に側壁絶縁膜を形成する工程を有し、前記第3の工程においては前記第2のトランジスタのゲート電極の側壁に既に存在する側壁絶縁膜に対してさらに側壁絶縁膜が形成される請求項1乃至3いずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記第5の工程の実施後に、全面に第2の層間絶縁膜を形成し、前記第1のトランジスタに対応する前記1対の不純物領域のうち他方の不純物領域上の前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫通する第2のコンタクトホールを開口し、その後、全面に金属を堆積し所定の形状にバーニングして前記キャパシタの蓄積電極を形成する第6の工程と、前記蓄積電極の表面にTa₂O₅からなる容量絶縁膜を形成し、さらに前記キャパシタのプレート電極を形成する第7の工程とを有する請求項1乃至5いずれか1項に記載の半導体装置の製造方法。

【請求項7】 前記第7の工程の実施後に、全面に第3の層間絶縁膜を堆積し、前記第2のトランジスタとの接続のために前記第2の層間絶縁膜及び前記第3の層間絶縁膜を貫通する第3のコンタクトホールを開口し、そのち、全面に埋込み配線用の金属を堆積してエッチングし第2の導電層とする第8の工程を有する請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特にDRAM(ダイナミック・ランダム・アクセス・メモリ; dynamic random access memory)と論理IC(論理集積回路)とを混載した半導体デバイスに好適な製造方法に関する。

【0002】

【従来の技術】 情報化社会の高度化により、情報処理速度の増大が望まれており、例えば、マイクロプロセッサの動作周波数を大幅に高めることができてきている。また、一度に取り扱えるビット幅も大きくなっている。それらの結果、高密度で高性能のメモリを混載したプロセッサが必要とされている。すなわち、プロセッサに代表される論理ICとメモリとを同一の半導体チップ内に混在させることが強く要求されている。

【0003】 高速動作、高性能が必要とされる場合には、メモリ素子としてSRAM(ステティック・ランダム・アクセス・メモリ; static random access memory)が必要となり、高密度実装や大容量記憶が必要な場合にはDRAMを使用する方が有利である。ところで、SRAMと論理ICとでは、デバイスの構造やデバイス製造に使用するプロセスが比較的似ているので、同一半導体チップ内にこれらを混載することは比較的容易であり、現在でも広く混載化が進められている。例えば、S

(3)

特開平9-181269

RAMからなるキャッシュメモリを内蔵したマイクロプロセッサが市販されている。しかしながらDRAMの場合には、後述するように、その構造が論理ICと大きく違っているため、同一チップ内にDRAMと論理ICとを混載することが困難であった。また形成の困難さとともに、DRAMを使用する場合には低コストであることが必要であるが、これまで、低成本であってかつある程度の高性能化を満足するデバイス構造やそのための製造方法が確立されていなかった。以下、このことの理由について、詳しく説明する。

【0004】グラフィックス性能を追及するマルチメディア機器の進展により、メモリと論理ICとを従来よりも1桁以上高い転送速度でつなぎたいといった要求が強まっている。このような高いデータ転送速度を実現するために、DRAMと論理ICとを同一半導体チップ上に集積する論理IC混載DRAMが考えられている。しかし、後述するように、DRAMの製造プロセスは通常の論理ICのプロセスよりも複雑である。このため、DRAMと論理ICを同一チップ内に単純に混載すると、複雑なDRAMプロセスで論理ICも作ることになり、チップ全体の製造コストが高くなりやすい。また、高性能の論理ICに導入されているサリサイドが、その形成後の熱処理に対する耐性がないため、DRAM特有の容量部形成のための熱処理温度に耐えられないといった問題もあり、両者を混載するネックともなっている。ここでサリサイド（自己整合シリサイド：self-align-silicide）とは、高融点金属のシリサイドであって、電極抵抗や配線抵抗を低減して高速動作を実現するために、従来のポリシリコンの代りに使用され、半導体素子上に自己整合的に形成されるもののことである。

【0005】以下、従来の技術について詳しく説明する。

【0006】図17は通常の論理ICの断面形状を示している。論理ICは、一般に、多數のトランジスタとこれらを接続する多層の配線層から構成されている。P型シリコン基板210上のフィールド酸化膜211によって区画された各トランジスタは、ゲート酸化膜213とゲート酸化膜213上に配置されたゲート電極214とこのゲート電極214を挟んで対称して形成されるソース領域215a、ドレイン領域215bとなる。ゲート電極214、ソース領域215a及びドレイン領域215b上には、高融点金属とシリコンとの自己整合的な反応を利用したサリサイド216が形成され、それぞれの層抵抗を低減して、高速動作を可能なものとするよう考慮されている。

【0007】トランジスタの上層には、第1の層間絶縁膜217が成膜され、こ第1のアルミ配線219とトランジスタのゲート電極214、ソース領域215a及びドレイン領域215bとを接続するために、第1の層間絶縁膜217には埋込みコンタクト218が形成されて

いる。図17は3層のアルミ配線を使用した例を示しており、第1のアルミ配線219の上層に第2のアルミ配線222と第3のアルミ配線225が形成され、それぞれを埋込みコンタクト221、224によって接続している。また、第1のアルミ配線219と第2のアルミ配線222は第2の層間絶縁膜220によって隔離され、第2のアルミ配線222と第3のアルミ配線225とは第3の層間絶縁膜223によって隔離され、第3のアルミ配線225上には第4の層間絶縁膜226が形成されている。このように、論理ICはトランジスタとアルミ配線から構成されている。

【0008】また、サリサイドに関しては、サリサイドが形成された以降に800°C程度の熱処理が加えられると、サリサイド層の凝集が起り、層抵抗の増大を引き起こすことが知られている。この現象は、例えば、IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 38, NO. 2, 1991年, PP.262-269に詳しく説明されている。

【0009】次に、DRAMについて説明する。一般に、DRAMは、多数の記憶情報を蓄積する記録領域であるメモリセルアレイと、外部からのデータの入出力に必要な周辺回路とから構成されている。図18は、一般的なDRAMの構成を示すブロック図である。すなわち、DRAM350は、記憶情報のデータ信号を蓄積するため単位記憶回路であるメモリセルの集合体であるメモリセルアレイ351と、メモリセルアレイ351中の特定のメモリセルを選択するためのアドレス信号を外部から受けるためのロウアンドカラムアドレスバッファ352と、アドレス信号を解読することによってメモリセルアレイ351の行を指定するためのロウデコーダ353と、アドレス信号を解読することによってメモリセルアレイ351の列を指定するためのカラムデコーダ354と、指定されたメモリセルに蓄積された信号を増幅して読み出すセンスアンプ355と、データ入力のためのデータインバッファ356と、データ出力のためのデータアウトバッファ357と、クロック信号を発生するクロックジェネレータ358と、ロウアンドカラムアドレスバッファ352にアドレス信号を与えるためのアドレス入力端子A₀～A₉と、データ入力端子と、データ出力端子と、電源端子V_{cc}, V_{ss}と、いくつかの制御信号端子

【0010】

【外1】

CAS, RAS, W

とから、構成されている。

【0011】メモリセルアレイ351は、DRAMチップ上では大きな面積を占め、メモリセルアレイ351内では、メモリセルがマトリックス状に複数個配列されている。図19は、図18に示したメモリセルアレイ351を構成するメモリセルの4ビット分のメモリセルの等価回路を示している。各メモリセルは、それぞれ、スイ

(4)

特開平9-181269

ッティング用のトランジスタ321と、トランジスタ321に接続された信号電荷蓄積用の容量素子322とによって構成されており、いわゆる1トランジスタ1キャバシタ型のメモリセルである。このタイプのメモリセルは、メモリセルアレイの集成度を向上させることが容易であり、大容量のDRAMに広く用いられている。また図中のWLはワード線であり、BLはビット線である。両者は図からも明らかなように、互いに直角状に交差するように配置されている。なお、ビット線BLはセンスアンプ355に接続している。

【0012】図20は、この1トランジスタ1キャバシタ型メモリセルの断面図である。p型シリコン基板110の表面にフィールド酸化膜111が設けられており、フィールド酸化膜111上にはワード線116が配置している。また、フィールド酸化膜111で区画された領域内のp型シリコン基板110には、n型不純物領域117a, 117bが形成されている。さらに、n型不純物領域117a, 117bをまたぐようにp型シリコン基板110の表面にゲート絶縁膜112が形成され、ゲート絶縁膜112上にゲート電極114が設けられている。ビット線123は、n型不純物領域117bに接続するとともに、層間酸化膜119によってゲート電極114から隔離されている。蓄積電極128は、容量部コンタクト138によってn型不純物領域117aと接続されており、蓄積電極128とビット線123は、層間酸化膜127により隔離されている。メモリセルのキャバシタ(容量素子)は、容量絶縁膜129を介して蓄積電極128とプレート電極130を配置することにより構成されている。キャバシタの上には、層間酸化膜131が形成され、その上層にアルミ配線133が配置されてメモリセルが構成されている。

【0013】ビット線123は、通常、多結晶シリコンとシリサイドとの積層構造(ポリサイド構造)をとり、配線抵抗とコンタクト部分の抵抗を下げるという観点から、イオン注入と窒素を用いた熱処理が施される。また蓄積電極128とプレート電極130も、イオン注入と熱処理が施された多結晶シリコンから形成される。あるいは、リンの熱拡散を施した多結晶シリコンから、蓄積電極128とプレート電極130を形成する。容量絶縁膜129は、CVD(化学気相成長:chemical vapor deposition)で塗化膜を成長した後に850°C程度で酸化処理をして得られる塗化膜と酸化膜との積層膜となり、したがって、この部分の形成に多くの高温での熱処理を必要とする。

【0014】このようにDRAM中でも、メモリセル部分には、アルミ配線の下に多数の配線層を必要とするとともに、高温での熱処理を経て形成されるキャバシタが配置されている。したがって、前述の論理ICとこのDRAMとを同一の半導体チップ内に混載する場合、DRAMのプロセスを主体としてこのチップを形成すると、

プロセスが長大化するとともに、DRAMの形状に必要な高温での熱処理工程によって論理IC上のサリサイドが凝集してしまい、サリサイド層が高抵抗化して本来の抵抗特性を発揮できなくなるといった問題が生じる。したがって所望の高性能で低コストなチップが完成できない。

【0015】

【発明が解決しようとする課題】上述したように、DRAMと論理ICとを同一半導体チップ上に混載する場合に、DRAMの製造プロセスと論理ICの製造プロセスとを単純に組み合わせただけでは、製造コストが高いものになる上、サリサイドの凝集が発生して論理IC部の性能低下がもたらされる。安価なメモリであるDRAMと論理ICとを混載して1チップ化するからには、性能が飛躍的に向上することを期待することはもちろんのこととして、作りやすいプロセスを用い、工程を簡略化し、コストの増加を極力抑えたい。この要求を実現するためには、論理ICの性能を低下させることなく、DRAMを搭載した論理ICを低コストで提供することが必要であって、論理ICの製造プロセスに対する付加工程を短くし、トランジスタ形成後の熱処理をサリサイドが凝集しない程度の温度に低減することが必要となる。

【0016】本発明の目的は、動作速度の速いトランジスタを有する論理ICとプロセスが複雑で高温の熱処理も必要とするDRAMとを同一の半導体チップの上に搭載するために、高性能で低コストなデバイスの製造プロセスを提供することにある。

【0017】

【課題を解決するための手段】本発明の半導体装置の製造方法は、シリコンからなる同一の半導体基板上に第1のトランジスタ及びキャバシタを有するメモリセルからなるメモリセル部と第2のトランジスタを有する回路部とを具備する半導体装置の製造方法において、半導体基板でのメモリセル部の素子領域及び回路部の素子領域に、それぞれ、1対の不純物領域と、1対の不純物領域に挟まれたチャネル領域上にゲート絶縁膜を介して配置され第1の導電層からなるゲート電極とを設けて第1のトランジスタ及び第2のトランジスタを形成する第1の工程と、半導体基板の全面に第1の層間絶縁膜を堆積し、第1のトランジスタに対応する1対の不純物領域のうち一方の不純物領域上の第1の層間絶縁膜に第1のコンタクトホールを開口し、その後、全面にシリコン層を堆積し所定の形状にパターニングしてメモリセルへのビット線を形成する第2の工程と、回路部において第1の層間絶縁膜をエッチングして、第2のトランジスタのゲート電極の側壁に側壁絶縁膜を形成するとともに第2のトランジスタのゲート電極及び1対の不純物領域の上面を露出させる第3の工程と、前記第3の工程の実施後、全面に高融点金属を堆積して熱処理を行い、少なくともビット線及び第2のトランジスタの不純物領域の上面に

おいて高融点金属をシリサイド化する第4の工程と、シリサイド化を受けていない高融点金属を除去する第5の工程とを有する。

【0018】さらに本発明においては、DRAMのメモリセルを完成させるために、第5の工程の実施後に、全面に第2の層間絶縁膜を形成し、第1のトランジスタに対応する1対の不純物領域のうち他方の不純物領域上の第1の層間絶縁膜及び第2の層間絶縁膜を貫通する第2のコンタクトホールを開口し、その後、全面に金属を堆積し所定の形状にパターニングしてキャバシタの蓄積電極を形成する第6の工程と、蓄積電極の表面にTa₂O₅からなる容量絶縁膜を形成し、さらにキャバシタのプレート電極を形成する第7の工程とを設けるようにするよ。

【0019】本発明において、層間絶縁膜や側壁絶縁膜としては、シリコンなどの酸化膜を好ましく使用することができます。また後述するように、第1の導電層としてシリコン、特に多結晶シリコンや、ポリサイドを使用することができる。

【0020】本発明では、論理ICのサリサイドに悪影響を与えることなく、逆にサリサイド形成の工程をDRAMの形成プロセスで有効に活用し、工程を短縮している。すなわち本発明では、DRAMセル部のビット線を多結晶シリコンで形成しておき、論理IC部の少なくともソース領域及びドレイン領域上をサリサイド化する際に、DRAMセル部のビット線も同時にサリサイド化する。これにより、従来のプロセスでビット線を形成する際に必要としていた高温での熱処理を削減することができ、加えて、製造プロセスを簡略化することができる。またDRAMセル部のキャバシタの形成においては、多結晶シリコンからなる電極の形成を廃し、金属系の電極、すなわちタングステンなどの金属やTiN、WSiなどを用いた電極とし、さらに、容量膜については、従来は酸化膜と塗膜の積層膜としていたものを、この積層膜に比べて低い温度での熱処理で薄膜が形成できるTa₂O₅を用いるようにした。これらによって、論理IC部のサリサイドを形成した後に加えられるプロセス温度が700°Cを越えないようにすることができ、論理IC部でのサリサイドの収集、高抵抗化を防ぐことが可能になっている。したがって、論理ICの高速性能の利点を確保しつつ、大容量のDRAMを混載したチップを少ない工程数で容易に形成することができる。

【0021】また、DRAMセル部のゲート電極をポリサイド構造とすることにより、このゲート電極を多結晶シリコンで形成した場合に比べて抵抗を低減することが可能となり、ゲート電極の低抵抗化のための特別な構造やプロセスを付与することが必要なくなるため、よりDRAMセルの高集積化が図ることができる。

【0022】さらに、第1の工程においてDRAMセル部と論理IC部のそれぞれにおいてゲート電極の側壁に

側壁絶縁膜（サイドウォール）を形成し、第3の工程で論理IC部のゲート電極の側壁に重ねて側壁絶縁膜を形成するようにすることにより、DRAMセル部と論理IC部とでゲート電極の側壁の厚さを独立に設定する事が可能になり、それぞれに最適な厚さを設定できて、動作速度をさらに高めることができくなる。

【0023】このようにして、工程数が少なく、特性を低下させることなしに、同一の半導体チップ上により高密度なDRAMの集積が可能となり、より高性質の論理ICを混載して構成することができる。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。

【0025】《第1の実施の形態》図1～図6は、本発明の第1の実施の形態での半導体装置の製造プロセスを工程順に示す断面図である。ここでは、DRAMと論理ICとを同一のp型シリコン基板上に混載した半導体装置を製造するものとする。図示左側の領域がDRAMセル部であり、図示右側の領域が論理IC部である。なお、従来のDRAMセルの構造を示す図20におけるものと対応する構成部分には、図20と同一の符号を付してある。

【0026】まず、通常のDRAMや論理ICの製造プロセスと同様にして、まず、図1に示すように、p型シリコン基板110上にフィールド酸化膜111を形成し、素子分離を行う。DRAMセル部及び論理IC部のそれぞれにおいて、フィールド酸化膜110に囲まれた各素子領域に、ゲート絶縁膜112、113を介して、多結晶シリコンからなるゲート電極114、115をそれぞれ形成する。同時に、DRAMセル部においては、フィールド酸化膜111上に、多結晶シリコンからなるワード線116を形成する。続いて、DRAMセル部に、フィールド酸化膜111及びゲート電極114をマスクとする不純物イオン注入により、n型不純物領域117a、117bをそれぞれ相対して形成する。同時に、論理IC部では、フィールド酸化膜111及びゲート電極115をマスクとする不純物イオン注入により、n型不純物領域118a、118bをそれぞれ相対して形成する。さらに全面に層間酸化膜119を堆積する。

【0027】次に、図2に示すように、DRAMセル部において、n型不純物領域117b上の部分の層間酸化膜119に開口を設け、ビット線コンタクト121とする。そして、多結晶シリコン122を100nm程度の厚さで全面に堆積する。このとき、多結晶シリコン122とDRAMセル部のn型不純物領域117bは、ビット線コンタクト121を通じて接続される。

【0028】次に、図3に示すように、DRAMセル部において、フォトリソグラフィ技術とドライエッティング技術を用い、多結晶シリコン122をビット線123の形状に加工する。このとき、論理IC部では多結晶シリ

(6)

特開平9-181269

コン122がエッチング除去されるようにするとよい。続いてレジスト124によってDRAMセル部を覆い、論理IC部において層間酸化膜119をエッチバックすることにより、論理IC部のゲート電極115の側壁に、酸化膜よりなるサイドウォール125を形成する。この状態で、論理IC部のみに2回目の不純物イオン注入を行う。この後、レジスト124を除去し、窒素ガス雰囲気下での熱処理により、2度にわたって注入された不純物イオンの活性化と拡散を行い、ソース領域126aとドレイン領域126bを得る。このとき、同時に、DRAMセル部のn型不純物領域117a, 117bでも活性化と拡散が行われる。

【0029】次いで、全面にヒ素を 5×10^{14} イオン/ cm^2 のドーズ量でイオン注入し、さらに例えばTiを40nm厚さで堆積をして、650°C程度で窒素雰囲気中でアニールする。これによって、DRAMセル部のピット線123上や、論理IC部のゲート電極115上、ソース領域126a及びドレイン領域126b上にTiSiからなる反応層（シリサイド層）が形成される。その後、未反応のTiをフッ酸でエッチング除去し、再度、窒素雰囲気中で800°C程度で熱処理し、TiSiの相転移を起こして低抵抗化する。このプロセスにより、図4に示すようなシリサイド134～136が形成される。

【0030】次に、図5に示すように、全面に層間酸化膜127を堆積し、表面を平坦化する。平坦化の方法としては、公知の化学的機械研磨法や、シリカを塗布した後、エッチバックを行う方法などが用いられる。その後、DRAMセル部上の層間酸化膜119, 127を貫通してn型不純物領域117aに到達するように、容量部コンタクト138を開口する。さらに全面にTiNをスパッタ法で堆積し、次いでWをCVD法などにより成長する。この状態から、図5に示されるようにWとTiNを加工し、メモリセルのキャバシタの蓄積電極128を得る。さらに、Ta₂O₅を10nm程度成膜し、酸素のプラズマにさらすことにより、キャバシタの容量絶縁膜129を得る。続けて、キャバシタのプレート電極130を形成する。プレート電極130には、TiNのスパッタ膜またはTiN膜とWSi膜などの積層膜を用いるとよい。プレート電極130も所望のサイズにエッチング加工される。

【0031】次に、図6に示すように、DRAMセル部のアレー電極130上と論理IC部の層間酸化膜127上に、再度、層間酸化膜131を形成する。このとき、前述した平坦化を施してもよい。論理IC部のゲート電極115上、ソース領域126a上及びドレイン領域126b上に、コンタクトを開口し（同時に、図示していないが、DRAMの周辺回路部においても所望の部分にコンタクトを形成する）、Ti, TiNのバリヤ膜を成膜した後、CVD法によってWを成膜し、連続的に

エッチバックすることにより、埋込み配線132を形成する。さらにその後、アルミ配線133を形成する。以上によって、DRAMと論理ICとを混載したチップの基本部分を得る。さらに、2層目、3層目など必要な層数のアルミ配線を形成することにより、このチップは完成する。

【0032】《第2の実施の形態》次に、本発明の第2の実施の形態について説明する。図7～図12は、この第2の実施の形態での半導体装置の製造プロセスを工程順に示す断面図である。ここでは、DRAMと論理ICとを同一のp型シリコン基板上に混載した半導体装置を製造するものとする。図示左側の領域がDRAMセル部であり、図示右側の領域が論理IC部である。なお、第1の実施の形態におけるものと対応する構成部分には、図1～図6と同一の符号を付してある。

【0033】図7に示すように、通常のDRAM及び論理ICの製造方法と同様にして、p型シリコン基板110上にフィールド酸化膜111を形成し、蒸気分離を行う。このとき、DRAMセル部及び論理IC部においては、フィールド酸化膜111に囲まれた各素子領域に表面に、それぞれゲート絶縁膜112, 113が形成されている。そして、まず多結晶シリコン101を全面に形成し、次に、WSiなどのシリサイド102を全面に形成する。

【0034】次に、シリサイド102と多結晶シリコン101とを同時にエッチングにより加工することにより、図8に示すように、DRAMセル部におけるゲート電極114及びワード線116と、論理IC部におけるゲート電極115とを形成する。したがって、ゲート電極114, 115とワード線116は、多結晶シリコンとシリサイドとの2層構造となっており、ポリサイド構造となっている。そして、DRAMセル部において、フィールド酸化膜111及びゲート電極114をマスクとして不純物イオン注入を行い、n型不純物領域117a, 117bをそれぞれ相対して形成する。また同時に、論理IC部では、フィールド酸化膜111及びゲート電極115をマスクとして不純物イオン注入を行い、n型不純物領域118a, 118bをそれぞれ相対して形成する。さらに全面に層間酸化膜119を堆積する。

【0035】次に、図9に示すように、DRAMセル部において、n型不純物領域117b上の部分の層間酸化膜119に開口を設け、ピット線コンタクト121とする。そして、多結晶シリコン122を全面に100nm程度の厚さで堆積する。このとき、多結晶シリコン122とn型不純物領域117bとは、ピット線コンタクト121を通じて接続する。

【0036】次に、図10に示すように、DRAMセル部において、フォトリソグラフィ技術とドライユーチニング技術を用い、多結晶シリコン122をピット線123の形状に加工する。このとき、論理IC部では多結晶シリ

(7)

特開平9-181269

リコン122がエッチング除去されるようになるとよ。さらにレジスト124でDRAMセル部を覆い、論理IC部において層間酸化膜119をエッチバックすることにより、論理IC部のゲート電極115の側壁に、酸化膜よりなるサイドウォール125を形成する。この状態で、論理IC部のみに2回目の不純物イオン注入を行う。この後、レジスト124を除去し、窒素ガス雰囲気下での熱処理により、2度にわたって注入された不純物イオンの活性化と拡散を行い、ソース領域126aとドレイン領域126bを得る。このとき、同時に、DRAMセル部のn型不純物領域117a, 117bでも活性化と拡散が行われる。

【0037】次いで、全面にヒ素を 5×10^{14} イオン/ cm^2 のドーズ量でイオン注入し、さらに例えばTiを40nm厚さで堆積をして、650°C程度で窒素雰囲気中でアニールする。これによって、DRAMセル部のピット線123上や、論理IC部のソース領域126a及びドレイン領域126b上にTiSiからなる反応層(シリサイド層)が形成される。その後、未反応のTiをフッ酸でエッチング除去し、再度、窒素雰囲気中で800°C程度で熱処理し、TiSiの相転移を起こし低抵抗化する。このプロセスにより、図11に示すようなシリサイド134, 136が形成される。

【0038】次に、図12に示すように、全面に層間酸化膜127を堆積し、表面を平坦化する。平坦化の方法としては、公知の化学的機械研磨法や、シリカを塗布した後、エッチバックを行う方法などが用いられる。その後、DRAMセル部上の層間酸化膜119, 127を貫通してn型不純物領域117aに到達するよう、容易部コンタクト138を開口する。さらに全面にTiNをスパッタ法で堆積し、次いでWをCVD法などにより成長する。この状態から、図5に示されるようにWとTiNを加工し、蓄積電極128を得る。さらに、Ta₂O₅を10nm程度成膜し、酸素のプラズマにさらすことにより、容量絶縁膜129を得る。プレート電極130には、TiNのスパッタ膜またはTiN膜とWSi膜などの積層膜を用いるとよい。このプレート電極130も所望のサイズにエッチング加工される。

【0039】この後のプロセスは、前述の第1の実施の形態でのプロセスをそのまま適用することにより、DRAMと論理ICとが同一チップ上に混載した半導体装置が完成する。

【0040】《第3の実施の形態》次に、本発明の第3の実施の形態について説明する。図13～図16は、この第3の実施の形態での半導体装置の製造プロセスを工程順に示す断面図である。ここでは、DRAMと論理ICとを同一のp型シリコン基板上に混載した半導体装置を製造するものとする。図示左側の領域がDRAMセル部であり、図示右側の領域が論理IC部である。なお、第1の実施の形態や第2の実施の形態におけるものと対

応する構成部分には、図1～図12と同一の符号を付してある。

【0041】図13に示すように、通常のDRAM及び論理ICの製造方法と同様にして、p型シリコン基板110上にフィールド酸化膜111を形成し、素子分離を行なう。DRAM部及び論理IC部においてフィールド酸化膜111に囲まれた各素子領域に、それぞれ、ゲート絶縁膜112, 113を介して、多結晶シリコンからなるゲート電極114, 115を形成する。また同時に、DRAMセル部において、フィールド酸化膜111上に多結晶シリコンからなるワード線116を形成する。その後、DRAMセル部において、フィールド酸化膜111及びゲート電極114をマスクとして不純物イオン注入を行い、n型不純物領域117a, 117bをそれぞれ対して形成する。また同時に、論理IC部では、フィールド酸化膜111及びゲート電極115をマスクとする不純物イオン注入により、n型不純物領域118a, 118bをそれぞれ対して形成する。統いて、全面に酸化膜を堆積し、エッチバックを施すことにより、DRAM部のゲート電極114及びワード線116の側壁と、論理IC部のゲート電極115の側壁に、酸化膜よりなるサイドウォール125を形成する。

【0042】次に、図14に示すように、全面に層間酸化膜119を堆積する。その後、DRAMセル部において、n型不純物領域117b上の部分の層間酸化膜119に開口を設け、ピット線コンタクト121とする。さらに、多結晶シリコン122を100nm程度の厚さで全面に堆積する。このとき、多結晶シリコン122とn型不純物領域117bはピット線コンタクト121を通じて接続される。

【0043】次に、図15に示すように、DRAMセル部において、フォトリソグラフィ技術とドライエッチング技術を用いて多結晶シリコン122をピット線123の形状に加工する。このとき、論理IC部では多結晶シリコン122がエッチング除去されるようになるとよい。統いて、レジスト124によってDRAMセル部を覆い、層間酸化膜119をエッチバックすることにより、論理IC部のゲート電極115の側壁に、酸化膜よりなるサイドウォール137を形成する。この状態で、論理IC部のみに2回目の不純物イオン注入を行う。この後、レジスト124を除去し、窒素ガス雰囲気下での熱処理により、2度にわたって注入された不純物イオンの活性化と拡散を行い、ソース領域126aとドレイン領域126bを得る。このとき、同時に、DRAMセル部のn型不純物領域117a, 117bでも活性化と拡散が行われる。

【0044】次いで、全面にヒ素を 5×10^{14} イオン/ cm^2 のドーズ量でイオン注入し、さらに例えばTiを40nm厚さで堆積をして、650°C程度で窒素雰囲気中でアニールする。これによって、DRAMセル部のピ

(8)

特開平9-181269

ット線 123 上や、論理 IC 部のゲート電極 115 上、ソース領域 126a 及びドレイン領域 126b 上に TiSi からなる反応層（シリサイド層）が形成される。その後、未反応の Ti をフッ酸でエッチング除去し、再度、窒素雰囲気中で 800°C 程度で熱処理し、TiSi の相転移を起こし低抵抗化する。このプロセスにより、図 16 に示すようなサリサイド 134~136 が形成される。さらに、全面に層間酸化膜 127 を堆積し、表面を平坦化する。平坦化の方法としては、公知の化学的機械研磨法や、シリカを塗布した後、エッチバックを行う方法などが用いられる。その後、DRAM セル部上の層間酸化膜 119, 127 を貫通して n 型不純物領域 117 に到達するように、容量部コンタクト 138 を開口する。さらに全面に TiN をスパッタ法で堆積し、次いで W を CVD 法などにより成長する。この状態から、図 5 に示されるように W と TiN を加工し、蓄積電極 128 を得る。さらに、Ta₂O₅ を 10 nm 程度成膜し、酸素のプラズマにさらすことにより、容量絶縁膜 129 を得る。プレート電極 130 には、TiN のスパッタ膜または TiN 膜と WS₁ 膜などの積層膜を用いるとよい。このプレート電極 130 も所望のサイズにエッチング加工される。これによって図 16 に示されるような構造が得られる。

【0045】この後のプロセスは、前述の第 1 の実施の形態でのプロセスをそのまま適用することにより、DRAM と論理 IC とが同一チップ上に混載した半導体装置が完成する。

【0046】

【発明の効果】以上説明したように本発明は、DRAM セル部のビット線を多結晶シリコンで形成しておき、論理 IC 部の少なくともソース領域及びドレイン領域上をサリサイド化する際に、DRAM セル部のビット線も同時にサリサイド化することにより、ビット線を形成する際の従来の高温での熱処理を削減することができ、加えて、また、製造プロセスを簡略化することができるという効果がある。DRAM セル部のキャバシタの形成において、多結晶シリコンからなる電極を使用せずに金属系の電極とし、Ta₂O₅ を容量膜として使用することにより、論理 IC 部のサリサイドを形成した後に加えられるプロセス温度が 700°C を超えないようになることができ、論理 IC 部でのサリサイドの凝集、高抵抗化を防ぐことが可能になる。したがって、論理 IC の高速性能の利点を確保しつつ、大容量の DRAM を混載したチップを少ない工程数で容易に形成することができるという効果を生じる。

【0047】また、DRAM セル部のゲート電極をポリサイド構造とした場合には、特別な構造やプロセスを付与することなく、ゲート電極の低抵抗化が可能になって、DRAM セルのより一層の高集成化が図ることができる。さらに、第 1 の工程と第 3 の工程のそれぞれで倒

壁酸化膜（サイドウォール）を形成するようによることにより、DRAM セル部と論理 IC 部とでゲート電極の側壁の厚さを独立に設定することが可能になり、それぞれに最適な厚さを設定できて、動作速度をさらに高めることができくなる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の半導体装置の形成方法を示す断面図である。

【図 2】第 1 の実施の形態において図 1 に示す工程の次の工程を示す断面図である。

【図 3】第 1 の実施の形態において図 2 に示す工程の次の工程を示す断面図である。

【図 4】第 1 の実施の形態において図 3 に示す工程の次の工程を示す断面図である。

【図 5】第 1 の実施の形態において図 4 に示す工程の次の工程を示す断面図である。

【図 6】第 1 の実施の形態において図 5 に示す工程の次の工程を示す断面図である。

【図 7】本発明の第 2 の実施の形態の半導体装置の形成方法を示す断面図である。

【図 8】第 2 の実施の形態において図 7 に示す工程の次の工程を示す断面図である。

【図 9】第 2 の実施の形態において図 8 に示す工程の次の工程を示す断面図である。

【図 10】第 2 の実施の形態において図 9 に示す工程の次の工程を示す断面図である。

【図 11】第 2 の実施の形態において図 10 に示す工程の次の工程を示す断面図である。

【図 12】第 2 の実施の形態において図 11 に示す工程の次の工程を示す断面図である。

【図 13】本発明の第 3 の実施の形態の半導体装置の形成方法を示す断面図である。

【図 14】第 3 の実施の形態において図 13 に示す工程の次の工程を示す断面図である。

【図 15】第 3 の実施の形態において図 14 に示す工程の次の工程を示す断面図である。

【図 16】第 3 の実施の形態において図 15 に示す工程の次の工程を示す断面図である。

【図 17】一般的な従来の論理 IC の構造を示す断面図である。

【図 18】一般的な DRAM の内部回路構成を示すブロック図である。

【図 19】DRAM セルの配線の構成を示す等価回路図である。

【図 20】従来の DRAM セルの構造を示す断面図である。

【符号の説明】

101, 122 多結晶シリコン

102 シリサイド

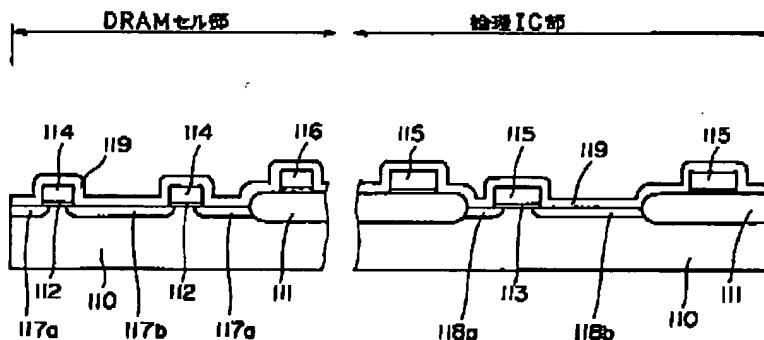
110, 210 p 型シリコン基板

(9)

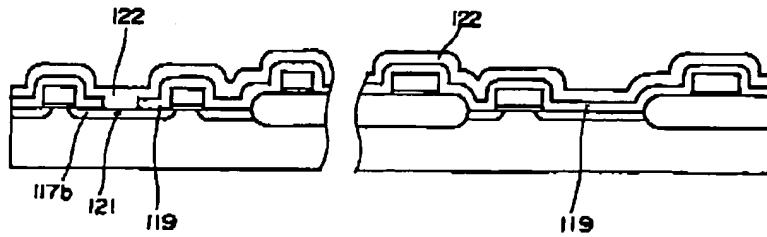
特開平9-181269

111,211	フィールド酸化膜	133,219,222,225	アルミ配線
112,113,213	ゲート絶縁膜	134~136,216	サリサイド
114,115,214	ゲート電極	138	容量部コンタクト
116	ワード線	217,220,223,226	層間絶縁膜
117a,117b,118a,118b	n型不純物 領域	218,221,224	埋込みコンタクト
121	ピット線コンタクト	321	トランジスタ
123	ピット線	322	容量素子
124	レジスト	350	DRAM
125,137	サイドウォール	351	メモリセルアレイ
126a,215a	ソース領域	352	ロウアンドカラムアドレスバッファ
126b,215b	ドレイン領域	353	ロウデコーダ
128	蓄積電極	354	カラムデコーダ
129	容量絶縁膜	355	センスアンプ
130	プレート電極	356	データインバッファ
132	埋込み配線	357	データアウトバッファ
		358	クロックジェネレータ

【図1】



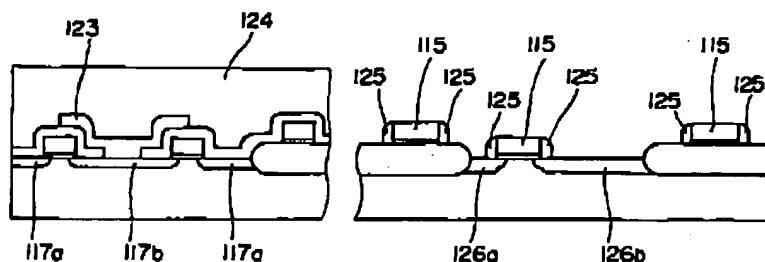
【図2】



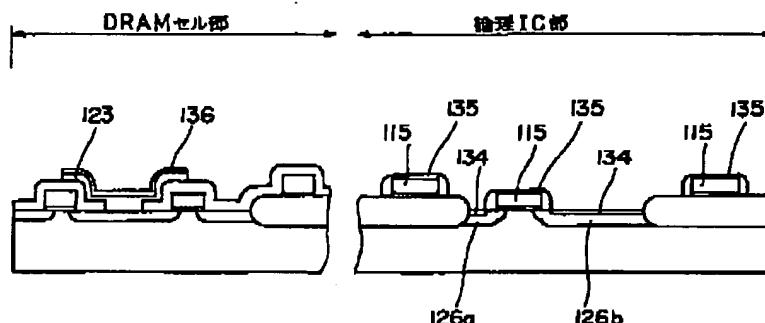
(10)

特開平9-181269

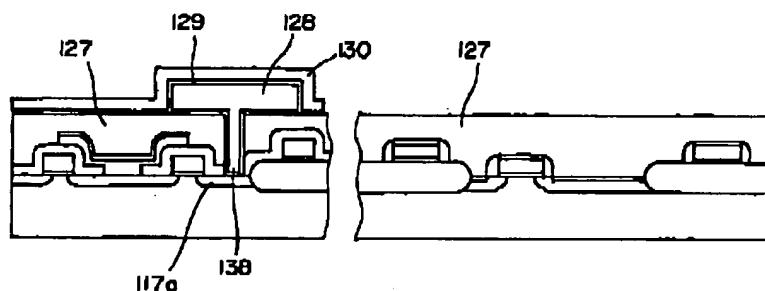
【図3】



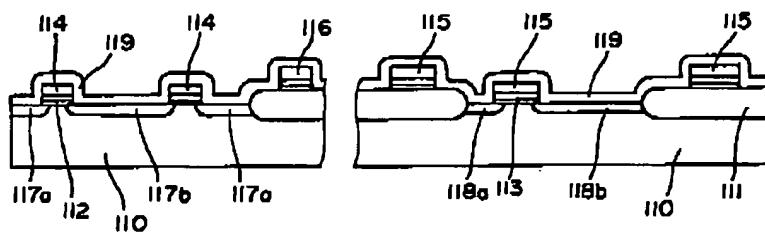
【図4】



【図5】



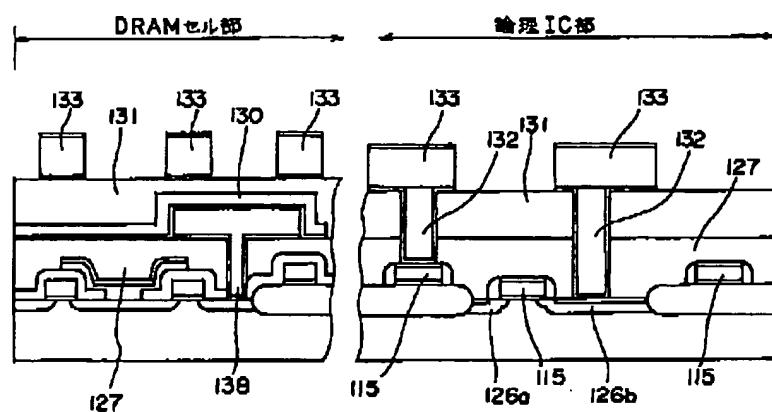
【図8】



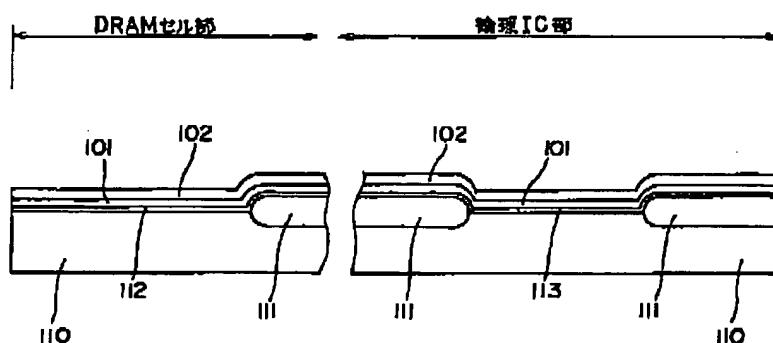
(11)

特開平9-181269

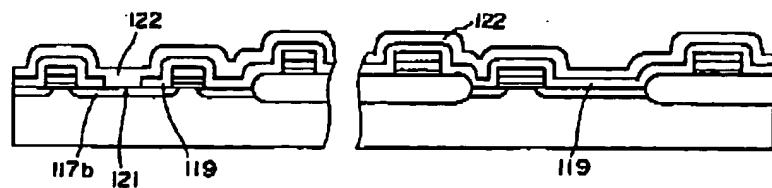
【図6】



【図7】



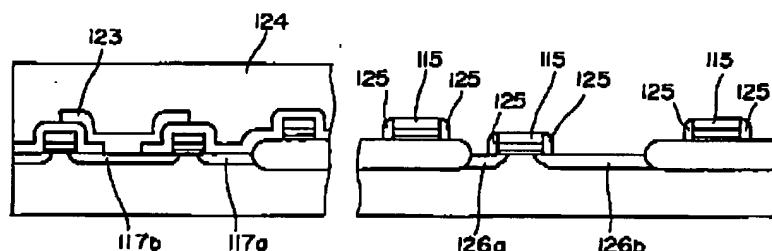
【図9】



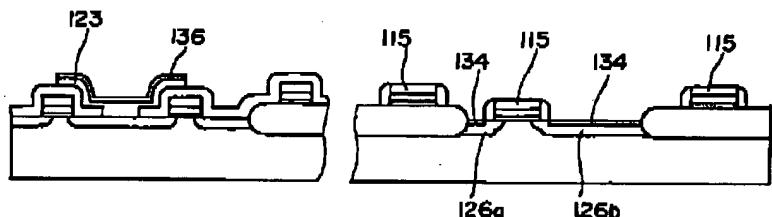
(12)

特開平9-181269

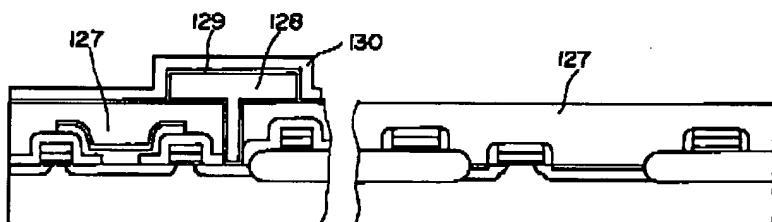
【図10】



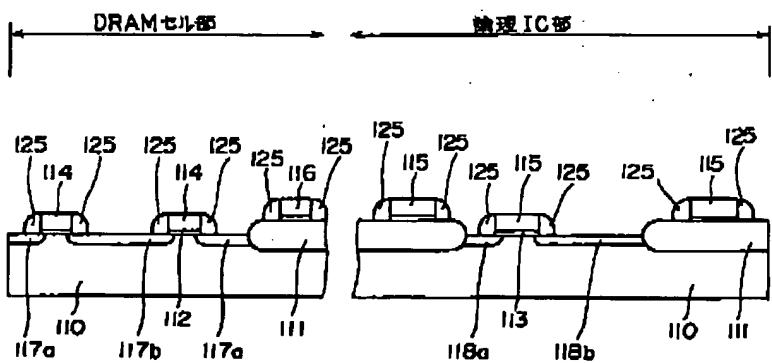
【図11】



【図12】



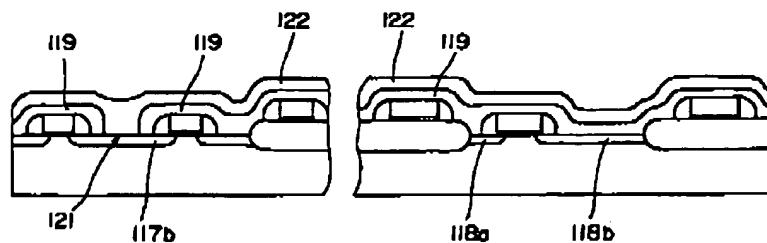
【図13】



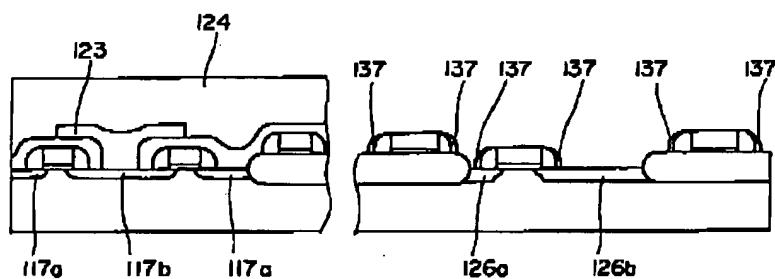
(13)

特開平9-181269

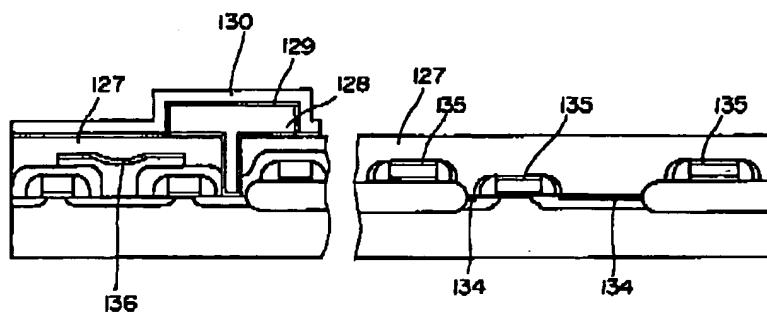
【図14】



【図15】



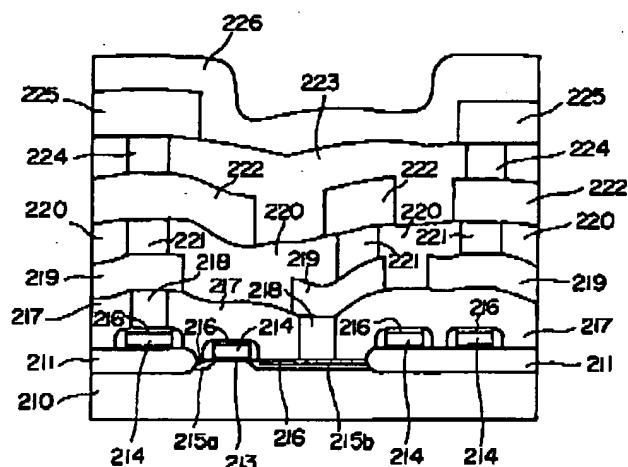
【図16】



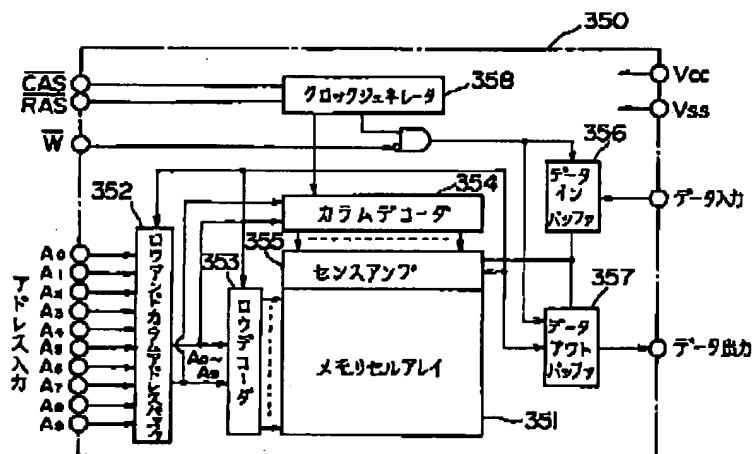
(14)

特開平9-181269

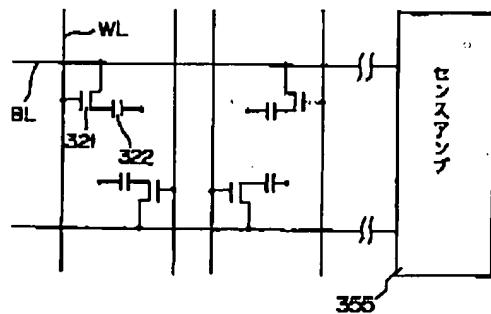
【図17】



【図18】



【図19】



(15)

特開平9-181269

【図20】

